



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06064228 A**(43) Date of publication of application: **08 . 03 . 94**

(51) Int. Cl.

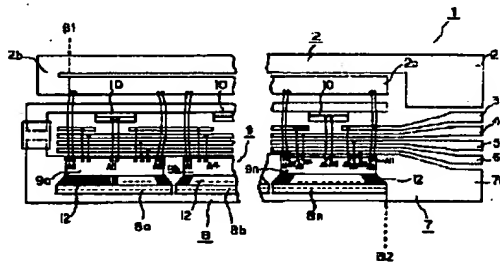
B41J 2/44**B41J 2/45****B41J 2/455****H01L 33/00****H04N 1/036**(21) Application number: **04222976**(22) Date of filing: **21 . 08 . 92**(71) Applicant: **CASIO ELECTRON MFG CO
LTD CASIO COMPUT CO LTD**(72) Inventor: **TSUCHIYA SHIZUO**(54) **LED DEVICE**

(57) Abstract:

PURPOSE: To uniformize the quantity of light emitted from all of LED elements in an LED device used in an LED printer and having a large number of LED elements arranged therein in a row.

CONSTITUTION: A power supply line pattern 2 for supplying power to the driving IC 9a, 9b... arranged corresponding to LED chips 8a, 8b... are provide and has a folded-back part 2b. By this constitution, power can be supplied to the respective LED chips 8a, 8b... in the direction opposite to a negative voltage supply line pattern 7 and voltage can be uniformly applied to all of LED elements.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-64228

(43)公開日 平成6年(1994)3月8日

(51)Int.Cl.⁵

B 4 1 J 2/44
2/45
2/455

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 33/00

N 7514-4M
7246-2C

B 4 1 J 3/ 21

L

審査請求 未請求 請求項の数1(全 8 頁) 最終頁に続く

(21)出願番号 特願平4-222976

(22)出願日 平成4年(1992)8月21日

(71)出願人 000104124

カシオ電子工業株式会社
東京都東大和市桜が丘2丁目229番地

(71)出願人 000001443

カシオ計算機株式会社
東京都新宿区西新宿2丁目6番1号

(72)発明者 土屋 静男

東京都東大和市桜が丘2丁目229番地
カシオ電子工業株式会社内

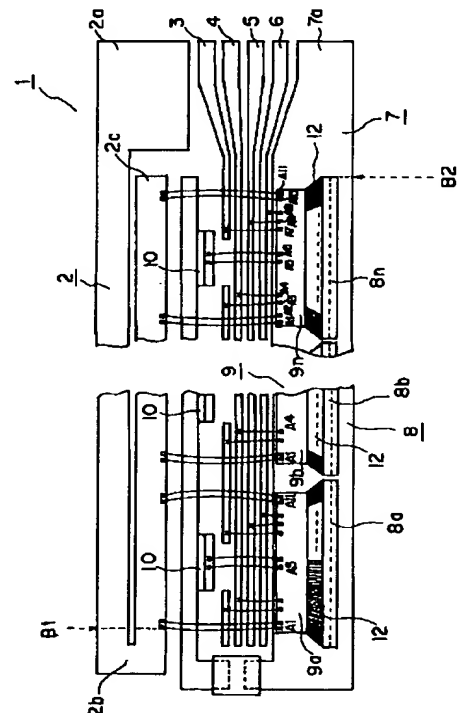
(74)代理人 弁理士 大菅 義之

(54)【発明の名称】 LED発光装置

(57)【要約】

【目的】 本発明は、LEDプリンタ等を使用され、多数のLED素子を列状に配設したLED発光装置に係り、特に全てのLED素子の発光光量を均一にすることを可能としたLED発光装置を提供することを目的とする。

【構成】 LEDチップ8a、8b、・・・に対応して配設された駆動用IC9a、9b、・・・に電源を供給する電源線パターン2を折り返し部2bを設けて配設することにより、各LEDチップ8a、8b、・・・に対する電源入力を一電圧供給線パターン7と反対方向から供給することができ、全てのLED素子に対して均一に電圧を印加することができる。



【特許請求の範囲】

【請求項 1】 ライン状に並んだ複数の LED 素子の各々に電源を供給して発光させる LED 発光装置において、

前記各 LED 素子のアノード端子に高電位電圧を供給する高電圧分岐給電路群が集約された第 1 の共通給電パターンと、

前記各 LED 素子のカソード端子に低電位電圧を供給する低電圧分岐給電路群が集約された第 2 の共通給電パターンとを有し、

前記第 1 の共通給電パターンと前記高電圧分岐給電路群との第 1 の接続点と、前記第 2 の共通給電パターンと前記低電圧分岐給電路群との第 2 の接続点とは、前記 LED 素子が構成するラインの両端に配置されたことを特徴とする LED 発光装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、LED プリント等に使用され、多数の LED 素子を列状に配設した LED 発光装置に関する。

【0002】

【従来の技術】LED プリント等に使用される LED 発光装置は、印字データに従って感光体に光書き込みを行う装置である。図 9 は、かかる LED 発光装置内に配設された基板の配線構成を示す図である。同図において、基板 14 は例えばセラミック等で構成され、このセラミック基板 14 上にガリウム-砒素-リン等から成る LED 素子を列状に形成した LED チップ 15 を複数一列に配設し、これらの LED 素子と IC 回路 16 との接続を、例えばワイヤボンディング 17 により個々に行っている。

【0003】しかし、各 LED チップ 15 内の LED 素子は列状に長く形成されている為、対応する IC 回路 16 の配設位置と LED 素子の配設位置との関係から LED 素子に流れる電流が異なる。すなわち、IC 回路 16 の配設位置から遠い所に形成された LED 素子には長い配線が必要である為、抵抗損失により LED 素子に流れる電流は少なくなる。一方、IC 回路の配設位置から近い所に形成された LED 素子では配線が短いので抵抗損失が少なく、LED 素子に流れる電流が多い。このことは、同一の LED チップ内の LED 素子において、その配設位置による発光光量の差となって現れ、感光体に形成される静電潜像の電位レベルが異なり、結果的に画像濃度に差が生じる。

【0004】この為、従来の LED 発光装置では、各 LED 素子を接続する配線導体の線幅を変え、又は線の厚さ（配線パターンの厚さ）を変え、抵抗損失を一定とし、各 LED 素子に流れる電流を一定にしている。

【0005】

【従来技術の問題点】しかしながら、セラミック基板 1

4 上に一列に形成される LED 素子は、上述のように多数の LED 素子を一列に形成した LED チップ 15 を複数配設して構成されている。そして、従来の LED 発光装置は上述のように、各 LED チップ内の LED 素子と対応する IC 回路 16 との関係のみについて、LED 素子に流れる電流を均一にするものである。すなわち、各 LED チップ 15 相互間での供給電流の均一化を図るものではない。

【0006】この為、同時に発光する LED 素子の個数が少ない場合はそれほど問題はないが、全 LED 素子が同時に発光する場合には各 LED チップ 15 間に誤差が生じ、全 LED 素子の発光光量を均一に保てない。すなわち、各 LED チップ 15 の配設位置と電源パターン 18、接地パターン 19 の配線関係から、電源供給位置に近い、例えば LED チップ 15' では抵抗損が少ないから供給電流が多くなる一方、電源供給位置から遠く離れた位置の LED チップ 15'' では抵抗損が大きいため供給電流が少なく、発光光量が減るからである。

【0007】尚、同図に示す配線パターン 20~23 は、IC 回路 16 へ印字データや、クロック信号、ラッチ信号、ストロブ信号等のデータや信号の授受を行う為のパターンである。

【0008】

【発明の目的】本発明は上記従来の問題点に鑑み、全ての LED 素子の発光光量を均一にすることを可能とした LED 発光装置を提供することを目的とする。

【0009】

【発明の要点】本発明は上記目的を達成する為、ライン状に並んだ複数の LED 素子の各々に電源を供給して発光させる LED 発光装置において、前記各 LED 素子のアノード端子に高電位電圧を供給する高電圧分岐給電路群が集約された第 1 の共通給電パターンと、前記各 LED 素子のカソード端子に低電位電圧を供給する低電圧分岐給電路群が集約された第 2 の共通給電パターンとを有し、前記第 1 の共通給電パターンと前記高電圧分岐給電路群との第 1 の接続点と、前記第 2 の共通給電パターンと前記低電圧分岐給電路群との第 2 の接続点とは、前記 LED 素子が構成するラインの両端に配置されたことを特徴とする。

【0010】

【実施例】以下、本発明の一実施例について図面を参照しながら説明する。図 1 は本実施例の LED 発光装置に使用され、多数の LED 素子が配設された基板の構成図である。同図において、基板 1 上には電源線パターン 2、データ信号線パターン 3、クロック信号線パターン 4、ラッチ信号線パターン 5、ストロブ信号線パターン 6、一電圧供給線パターン 7 等のパターン配線と、多数個の LED 素子が形成された LED アレー 8、駆動用 IC 9、及びチップ別調整抵抗 10 が配設されている。

【0011】LEDアレー8は所定個のLED素子が形成された複数のLEDチップ8a、8b、・・・を一系列に配設して構成され、例えば各LEDチップ8a、8b、・・・の配設間隔は数10ミクロン単位である。また、駆動用IC9も各LEDチップ8a、8b、・・・に対応して設けられ、LEDチップ8a、8b、・・・と各々対応する駆動用IC9a、9b、・・・は所定数のワイヤボンディング12によって接続されている。

【0012】また、駆動用IC9a、9b、・・・は上述の電源線パターン2、データ信号線パターン3、クロック信号線パターン4、ラッチ信号線パターン5、ストロブ信号線パターン6と接続する端子A1～A11を有している。例えば、端子A1、A2、A10、A11は高電位電圧を供給する電源線パターン2と接続し、この接続線を介して各駆動用IC9a、9b、・・・には高電位電圧が供給される。また、端子A3、A7はデータ信号線パターン3に接続し、この接続線を介して各駆動用IC9a、9b、・・・には印字データが供給される。同様に、端子A4、A8、A9は各々クロック信号線パターン4と、ラッチ信号線パターン5と、ストロブ信号線パターン6が接続され、この接続線を介して各駆動用IC9a、9b、・・・にクロック信号、ラッチ信号、及びストロブ信号を供給する。また、端子A5、A6はチップ別調整抵抗10に接続され、LEDチップ8a、8b、・・・間の抵抗誤差を調整している。

【0013】尚、図示しないが、各駆動用IC9a、9b、・・・、及びLEDチップ8a、8b、・・・は基板上で低電位を供給する一電圧供給線パターン7と接続されている。

【0014】電源線パターン2には不図示の電圧レギュレータから上述のように高電位の電圧が供給される。この電源線パターン2への電源供給位置は電源線パターン2の端部である位置2aであり、電源線パターン2はこの位置2aから折り返し部2bまで延設され、さらに逆方向に位置2cまで延設されている。ここで、電源線パターン2の中で位置2a～折り返し位置2bまでが第1の共通給電パターンであり、折り返し位置2b～位置2cまでが分岐給電路群である。この分岐給電路群には、前述の駆動用IC9a、9b、・・・の端子A1、A2、A10、A11に接続された接続線が接続され、同図の最も左端に位置する駆動用IC9aの端子A1が接続される接続点を第1の接続点B1とする。この第1の接続点B1から同図の右側の分岐給電路群には駆動用IC9a、9b、・・・の端子A1、A2、A10、A11が順次接続され、各駆動用IC9a、9b、・・・への電源供給を行う。尚、電源線パターン2は銅箔で構成され、一定の抵抗値を有している。したがって、第1の接続点B1に近い駆動用IC9aでは抵抗損は少ないが、第1の接続点B1から離れた位置2cでは抵抗損は大きい。

【0015】一方、第2の共通給電パターンとしての一電圧供給線パターン7には、その端部7aに一電圧が供給される。そして、同図の最も右側に位置するLEDチップ8nとの接続点を第2の接続点B2とする。この第2の接続点B2から同図の左側の分岐給電路群には順次駆動用IC9n、9n-1、・・・、及びLEDチップ8n、8n-1、・・・の端子（不図示）が接続されている。したがって、上述の構成から分かるように、LED素子のアノードに供給される高電位電圧は電源線パターン2側から供給され、LED素子のカソードに供給される低電位電圧は一電圧供給線パターン7側から供給され、電源線パターン2に設けられた第1の接続点B1と一電圧供給線パターン7に設けられた第2の接続点B2はLEDアレー8に対して対象の位置に設けられた構成である。

【0016】図2は上述のプリント板上の回路構成（配線構成）を等価回路で表した図である。同図に示す r_p' は電源線パターン2に含まれる第1の共通給電パターンの抵抗値を示し、 r_p は電源線パターン2に含まれる分岐給電路群の各端子間の抵抗値、及び一電圧供給線パターン7の各端子間の抵抗値を示す。また、 r_d は電源線パターン2と駆動用IC9a、9b、・・・との接続線及び駆動用IC9a、9b、・・・とLEDチップ8a、8b、・・・とを接続するワイヤボンディングの抵抗値を示す。

【0017】次に、上述のLED発光装置において、抵抗損失を計算する。尚、この抵抗損失を計算する際、先ず各場合における電圧降下を計算する。図2はLED素子L1にのみ電流を流し、LED素子L1のみ発光させる場合も示している。この場合、流れる電流を I_1 とし、この電流 I_1 が電源線パターン2の位置2a→第1の接続点B1→LED素子L1→第2の接続点B2→一電圧供給線パターン7を通過して一電圧供給線パターン7の端部7aに達する間の電圧降下 $V1S$ は、 $V1S = r_p' \times I_1 + n \times r_p \times I_1 \cdots (1)$ で表される。

【0018】同様に図3の場合、LED素子Lnにのみ電流を流し、LED素子Lnのみ発光させる場合であり、流れる電流を I_n とし、この電流 I_n が電源線パターン2の位置2a→第1の接続点B1→位置2c→LED素子Ln→第2の接続点B2→一電圧供給線パターン7を通過して一電圧供給線パターン7の端部7aに達する間の電圧降下 Vns は、 $Vns = r_p' \times I_n + n \times r_p \times I_n \cdots (2)$ で表される。

【0019】同様に、LEDアレー8の中の真ん中のLED素子のみ発光させる場合については、流れる電流を I_m とすると、図示しないが電圧降下 Vms は、 $V_m = r_p' \times I_m + n \times r_p \times I_m \cdots (3)$ で表される。

【0020】次に、LED素子L1～Lnの全てを発光させた場合、LED素子L1に流れる電流によって起こる電圧降下V1aは、

$$V1a = r_p' \times (I_1 + I_2 + I_3 + \dots) + r_p \times I_1 + r_p \times (I_1 + I_2) + r_p \times (I_1 + I_2 + I_3) + \dots + r_p \times (I_1 + I_2 + \dots) \dots (4)$$

で表される。

※光させた場合(図4)、LED素子Lnに流れる電流によって起こる電圧降下Vnaは、

$$Vna = r_p' \times (I_1 + I_2 + I_3 + \dots) + r_p \times (I_2 + I_3 + \dots) + r_p \times (I_3 + I_4 + \dots) + \dots + r_p \times (I_{n-1} + I_n) + r_p \times I_n + r_p \times (I_1 + I_2 + I_3 + \dots) \dots (5)$$

で表される。

★光させた場合、LEDアレー8の中央に位置するLED素子に流れる電流によって起こる電圧降下Vcaは、

$$Vca = r_p' \times (I_1 + I_2 + \dots) + r_p \times (I_2 + I_3 + \dots) + r_p \times (I_3 + I_4 + \dots) + \dots + r_p \times (I_{n/2} + I_{n/2+1} + \dots + I_n) + r_p \times (I_1 + I_2 + \dots + I_{n/2}) + r_p \times (I_1 + I_2 + \dots + I_{n/2} + I_{n/2+1}) + \dots + r_p \times (I_1 + I_2 + \dots + I_n) \dots (5)'$$

で表される。

$$\star Vna = kn + (n+1)n/2 \dots (5)'$$

【0023】ここで、上述の(1)式～(6)式を簡単化する為、電流I1～Inを同じ値と仮定し、また抵抗値rp' = k・rpとし、全ての値をrp×Iで割り算すると、

$$V1s = k + n \dots (1)'$$

$$Vns = k + n \dots (2)'$$

$$Vcs = k + n \dots (3)'$$

$$V1a = kn + (n+1)n/2 \dots (4)'$$

$$\star Vna = kn + (n+n/2)n/2 \dots (6)'$$

$$V1a = kn + (n+1)n/2 = 3534080 \dots (4)'$$

$$Vna = kn + (n+1)n/2 = 3534080 \dots (5)'$$

$$Vca = kn + (n+n/2)n/2 = 5171200 \dots (6)'$$

となる。

【0025】一方、同様にして従来例について計算する。図5～図7に示す等価回路は、図9に示した従来のLED発光装置に使用された配線構成の等価回路である。尚、図5がLED素子L1のみ発光する場合であり、図6がLED素子Lnのみ発光する場合であり、図7が全てのLED素子L1～Lnを発光する場合の例である。そして、従来の回路においても上述と同様に電圧降下V1s、Vns、Vcs、V1a、Vna、Vcaを計算すると、

$$V1s = 2 \times n \times r_p \times I_1$$

$$Vns = 2 \times r_p \times I_n$$

$$Vcs = 2 \times r_p \times I_{n/2} \times n/2$$

$$V1a = 2 \times r_p \times I_1 + 2 \times r_p \times (I_1 + I_2) + 2 \times r_p \times (I_1 + I_2 + I_3) + \dots + 2 \times r_p \times (I_1 + I_2 + I_3 \dots)$$

$$Vna = 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

$$Vca = 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2+1}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2} + I_{n/2+2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

$$+ 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2} + I_{n/2+2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

$$+ 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2} + I_{n/2+2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

$$+ 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2} + I_{n/2+2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

$$+ 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2} + I_{n/2+2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

$$+ 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2} + I_{n/2+2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

$$+ 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2} + I_{n/2+2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

$$+ 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2} + I_{n/2+2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

$$+ 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_{n/2} + I_{n/2+2}) + 2 \times r_p \times (I_1 + I_2 + I_3 \dots + I_n)$$

である。

【0026】ここで、本実施例の場合と同様に、電流I1～Inを同じ値と仮定し、全ての値をrp×Iで割り算すると、

$$V1s = 2n$$

$$Vns = 2$$

$$Vnc = n$$

$$V1a = n \times (n+1)$$

$$Vna = 2n$$

$$Vca = 3n^2/4$$

となる。

【0027】ここで、具体的な数値として、上述と同様n=2560、k=100を代入して従来の回路の電圧降下を計算すると、

$$V1s = 2n = 5120 \dots (1)''$$

$$Vns = 2 \dots (2)''$$

$$Vnc = n = 2560 \dots (3)''$$

$$V1a = n \times (n+1) = 6556160 \dots (4)''$$

$$Vna = 2n = 5120 \dots (5)''$$

$$Vca = 3n/4 = 4915200 \dots (6)''$$

となる。

【0028】以上の計算により求めた値は、その数値が

小さい程配線パターンでの電圧降下が少ないことを示す。そこで、本実施例の場合(1)'～(6)'と、従来例の場合(1)"～(6)"とを比較すると、特に全部のLED素子L1～Lnを発光した時、その差が顕著に現れることが分かる。すなわち、従来例ではV1a(4)"が6556160であるのに対してVna(5)"は5120であり、その差が桁違いに大きい。しかし、本実施例ではV1a(4)'が3534080に対してVna(6)'は5171200とその差が少ない。このことは本実施例のLED発光装置内のLED素子が全て発光しても電圧降下の差が小さいことを意味する。

【0029】そこで、全LED素子がオンした時の電圧降下を具体的に計算すると、従来例では、

$$V1a = 0.656V$$

$$Vna = 0.001V$$

$$Vca = 0.492V$$

であるのに対し、本実施例では、

$$V1a = 0.353V$$

$$Vna = 0.353V$$

$$Vca = 0.517V$$

であり、電圧降下は略均一となる。

【0030】さらに、各LED素子に供給される電圧を計算すると、LED素子L1、Ln、Lcへの供給電圧Vd1、Vdn、Vdcは、 $Vd = VDD - VF - V1a$ より、従来例では、

$$Vd1 = 2.144V$$

$$Vdn = 2.799V$$

$$Vdc = 2.308V$$

であるのに対し、本実施例では、

$$Vd1 = 2.447V$$

$$Vdn = 2.447V$$

$$Vdc = 2.283V$$

であり、極めて均一な電圧を印加することができる。したがって、いずれの位置のLED素子も均一な光量の光を感光体に照射することができる。

【0031】図8は、このことを示す図であり、全LED素子を発光した時の、例えば1番目のLED素子L1と、1280番目(LEDアレー8の真ん中)のLED素子L1280と、2560番目のLED素子L2560の発光エネルギー(発光光量)を比較した図である。特性Iに示す如く従来例においては、最大値に対して76.6%の光量低下があるのに対し、特性IIに示す如く本実施例では93.3%の光量低下があり、従来に比べて均一な光量を得ることができる。

*【0032】したがって、本実施例によれば、均一な光量の光書き込みを感光体に行うことができ、感光体に形成される静電潜像の電位レベルも一定となるので、極めて良好な画像を得ることができる。

【0033】尚、本実施例では、具体的な数値を適用して説明したが、本発明は上述の数値に限定されるものではない。

【0034】

【発明の効果】以上詳細に説明したように、本発明によればLED発光装置内に配設されたLED素子の発光光量を均一にでき、均一な光量の光書き込みを感光体に行い、感光体に形成される静電潜像の電位レベルを一定とし、極めて良好な画像を得ることができる。

【図面の簡単な説明】

【図1】一実施例のLED発光装置内の配線構成を説明する図である。

【図2】図1の等価回路である。

【図3】LED素子Lnにのみ電流が流れる時の等価回路である。

20 【図4】全てのLED素子に電流が流れる時の等価回路である。

【図5】従来のLED発光装置内の配線構成の等価回路である。

【図6】従来例のLED素子Lnにのみ電流が流れる時の等価回路である。

【図7】従来例の全てのLED素子に電流が流れる時の等価回路である。

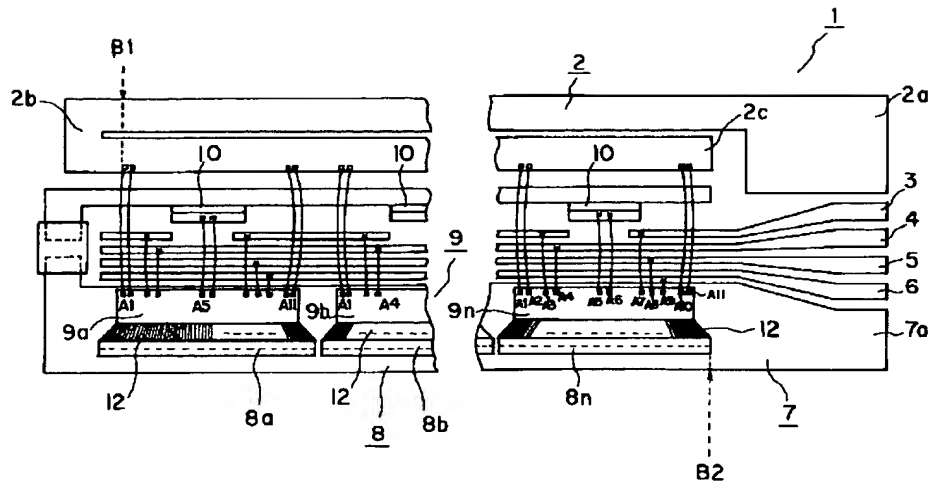
【図8】全てのLED素子に電流が流れる場合の従来例と本実施例との比較を説明する図である。

30 【図9】従来のLED発光装置の配線構成を説明する図である。

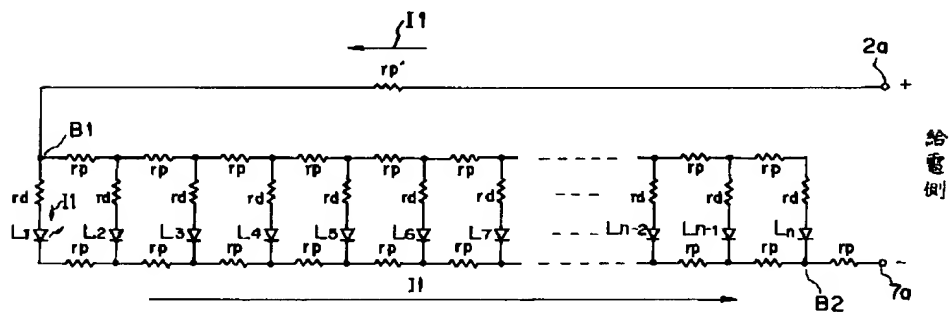
【符号の説明】

- 1 基板
- 2 電源線パターン
- 3 データ信号選択パターン
- 4 クロック信号線パターン
- 5 ラッチ信号選択パターン
- 6 ストロブ信号線パターン
- 7 電圧供給線パターン
- 40 8 LEDアレー
- 8a、8b、・・・ LEDチップ
- 9a、9b、・・・ 駆動用IC
- 10 チップ調整用抵抗
- 12 ワイヤボンディング

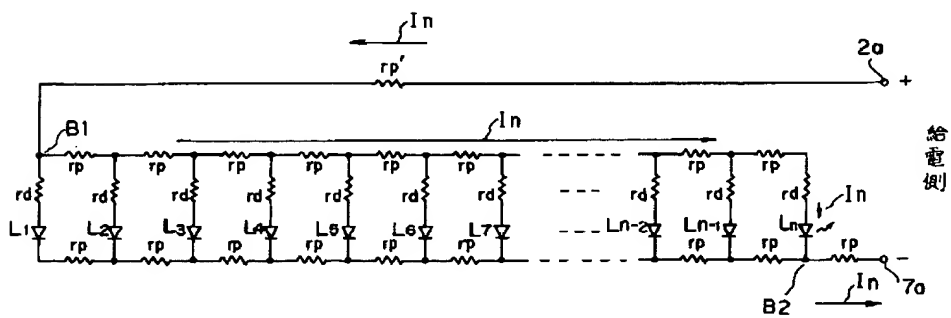
【図1】



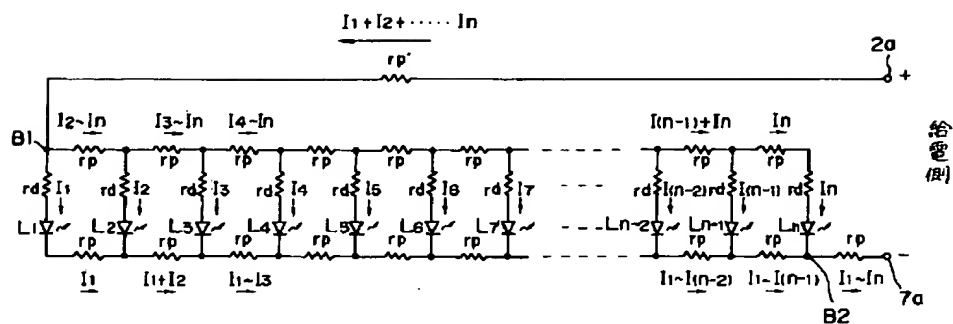
【図2】



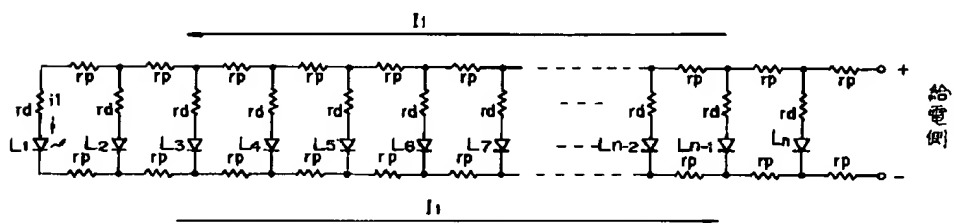
【図3】



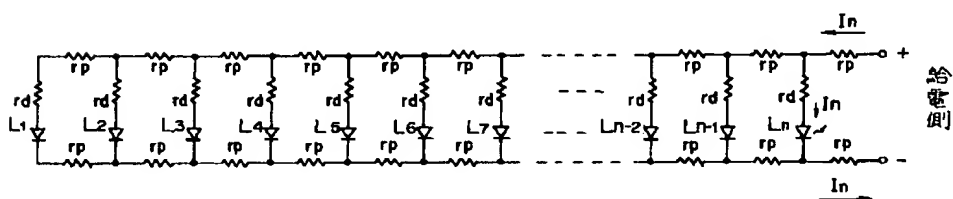
【図4】



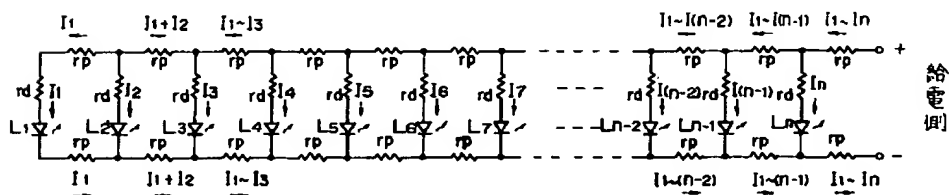
【図 5】



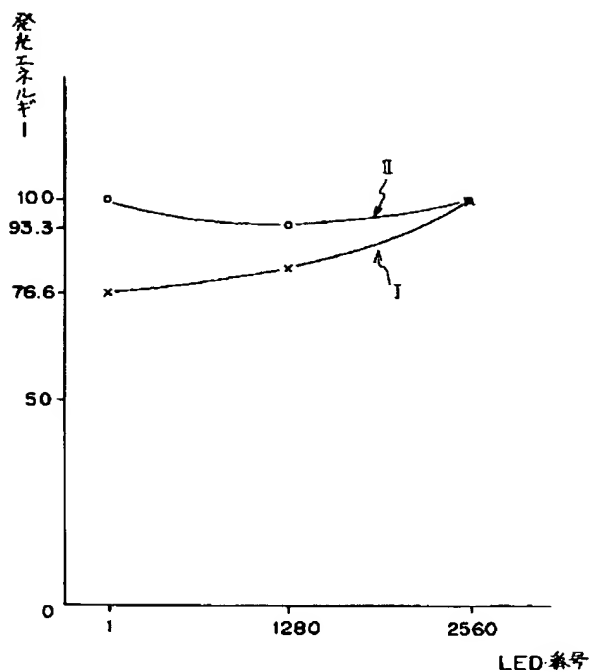
【図 6】



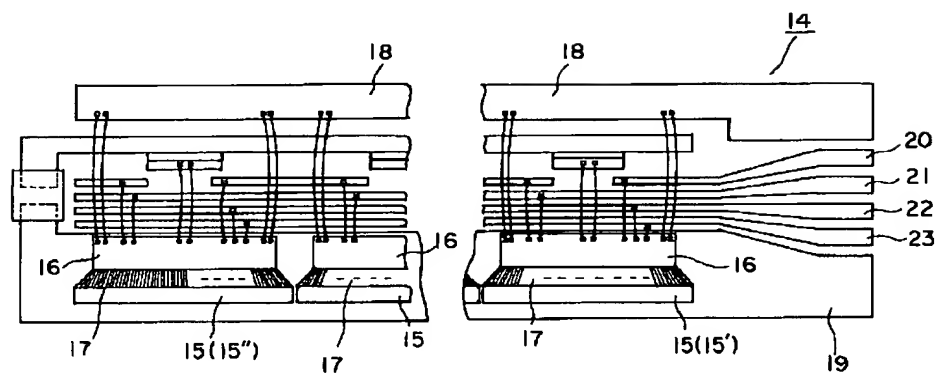
【图 7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. ⁵

H 0 4 N 1/036

識別記号

庁内整理番号

F I

技術表示箇所

A 9070-5C